



#2
BT
4.10.02

PATENT
ATTORNEY DOCKET NO.: 049128-5036

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Yun Bok LEE)
)
)
)
)

Application No.: 10/032,062)

Group Art Unit: 2871

Filed: December 31, 2001)

Examiner: Unassigned

For: LIQUID CRYSTAL DISPLAY AND)
FABRICATING METHOD THEREOF)

RECEIVED
APR -2 2002
TC 2800 MAIL ROOM

Commissioner for Patents
Washington, D.C. 20231

CLAIM FOR PRIORITY

Under the provisions of 35 U.S.C. §119, Applicants' hereby claim the benefit of the filing date of **Korean** Patent Application No. 2001-0015744 filed March 26, 2001 for the above-identified United States Patent Application.

In support of Applicants' claim for priority, filed herewith is a certified copy of the Korean application.

Respectfully submitted,

MORGAN, LEWIS & BOCKIUS LLP

Robert J. Goodell
Reg. No. 41,040

Dated: April 1, 2002

MORGAN, LEWIS & BOCKIUS LLP
1111 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
(202)739-3000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

RECEIVED
APR - 2 2002
TC 2800 MAIL ROOM

출원번호 : 특허출원 2001년 제 15744 호
Application Number PATENT-2001-0015744

출원년월일 : 2001년 03월 26일
Date of Application MAR 26, 2001

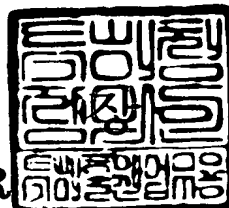
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2001 년 08 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0002
【제출일자】 2001.03.26
【발명의 명칭】 액정표시장치 및 그 제조방법
【발명의 영문명칭】 Liquid Crystal Display and Fabricating Method Thereof

【출원인】

【명칭】 엘지 . 필립스 엘시디 주식회사
【출원인코드】 1-1998-101865-5

【대리인】

【성명】 김영호
【대리인코드】 9-1998-000083-1
【포괄위임등록번호】 1999-001050-4

【발명자】

【성명의 국문표기】 이윤복
【성명의 영문표기】 LEE, Yun Bok
【주민등록번호】 670110-1047012
【우편번호】 121-809
【주소】 서울특별시 마포구 대흥동 43-8
【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
 김영호 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	21 면	21,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	50,000 원	

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 마스크 수 및 공정시간을 줄일 수 있는 액정표시장치 및 그 제조 방법에 관한 것이다.

본 발명에 따른 액정표시장치는 스캔신호가 공급되는 게이트라인과, 데이터 신호가 공급되는 데이터라인과, 게이트라인과 데이터라인이 교차되어 형성된 화소영역에 형성되어 액정셀을 구동하기 위한 화소전극과, 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터와, 게이트라인, 데이터라인 및 화소전극을 포함하는 신호배선들과 박막트랜지스터를 보호함과 아울러 액정의 초기 배향방향을 결정하기 위해 기판상에 전면 도포된 배향막을 구비한다.

본 발명에 따른 액정표시장치는 스캔신호가 공급되는 게이트라인과, 데이터 신호가 공급되는 데이터라인과, 게이트라인과 데이터라인이 교차되어 형성된 화소영역에 형성되어 액정셀을 구동하기 위한 화소전극 및 공통전극과, 스캔신호에 응답하여 데이터신호를 화소전극으로 전환하기 위한 박막트랜지스터와, 게이트라인, 데이터라인, 화소전극 및 공통전극을 포함하는 신호배선들과 박막트랜지스터를 보호함과 아울러 액정의 초기 배향방향을 결정하기 위해 기판상에 전면 도포된 배향막을 구비한다.

본 발명에 의하면, 액정표시장치의 제조과정 중 기판에서부터 배향막까지 형성하는 단계에서 소스 및 드레인 전극 상에 화소전극을 패터닝하고 바로 폴리

이미드 수지를 전면 증착함으로써 보호층 및 배향막의 기능을 동시에 수행하게 된다. 이로써 액정표시장치의 제조공정에 있어서 마스크 수를 절감하게 되고 공정 시간 및 비용을 절감할 수 있게 된다.

【대표도】

도 7

【명세서】

【발명의 명칭】

액정표시장치 및 그 제조방법{Liquid Crystal Display and Fabricating Method Thereof}

【도면의 간단한 설명】

도 1은 종래의 TN 모드 액정표시장치의 TFT 기판에 대한 전극배치도를 도시한 평면도.

도 2는 도 1에 도시된 TFT 기판을 A-A'선을 따라 절취한 단면도.

도 3a 내지 도 3g는 도 2에 도시된 TFT의 제조방법을 단계적으로 도시한 단면도.

도 4는 종래의 IPS 모드 액정표시장치의 TFT 기판에 대한 전극배치도를 도시한 평면도.

도 5는 도 4에 도시된 TFT 기판을 B-B'선을 따라 절취한 단면도.

도 6은 본 발명의 실시 예에 따른 TN 모드 액정표시장치의 TFT 기판에 대한 전극배치도를 도시한 평면도.

도 7은 도 6에 도시된 TFT 기판을 C-C'선을 따라 절취한 단면도.

도 8a 내지 도 8f는 도 7에 도시된 TFT 기판의 제조방법을 단계적으로 도시한 단면도.

도 9는 본 발명에의 제2 실시 예에 따른 IPS 모드 액정표시장치의 TFT 기판에 대한 전극배치도를 도시한 평면도.

도 10은 도 9에 도시된 TFT 기판을 D-D'선을 따라 절취한 단면도.

도 11은 도 10에 도시된 TFT 기판의 제조방법을 단계적으로 도시한 단면도.

도 12는 본 발명에의 제3 실시 예에 따른 IPS 모드 액정표시장치의 TFT 기판에 대한 전극배치도를 도시한 평면도.

도 13은 도 12에 도시된 TFT 기판을 E-E'선을 따라 절취한 단면도.

도 14는 도 13에 도시된 TFT 기판의 제조방법을 단계적으로 도시한 단면도.

<도면의 주요 부분에 대한 부호의 간단한 설명>

투명기판 : 10, 31, 60, 80, 110 게이트전극 : 12, 32, 62, 82, 112

데이터라인 : 13, 33, 63, 83, 113 게이트절연막 : 14, 34, 64, 84,

114

게이트라인 : 15, 35, 65, 85, 115 활성층 : 16, 36, 66, 86

오믹접촉층 : 18, 38, 68, 88, 118 소스전극 : 20, 40, 70, 90, 120

드레인전극 : 22, 42, 72, 92, 122 보호층 : 24, 48

화소전극 : 26, 46, 76, 96, 126 배향막 : 28, 50, 78, 98, 128

컨택홀 : 30 공통전극 : 44, 100, 124

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <23> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히, 마스크 수 및 공정시간을 줄일 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.
- <24> 액티브 매트릭스 구동방식의 액정표시장치는 스위칭소자로서 박막트랜지스터를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터와 노트북 컴퓨터는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.
- <25> 액티브 매트릭스 타입의 액정표시장치는 화소들이 게이트라인들과 데이터라인들의 교차부들 각각에 배열되어진 화소매트릭스(Picture Element Matrix 또는 Pixel Matrix)에 텔레비전 신호와 같은 비디오신호에 해당하는 화상을 표시하게 된다. 화소들 각각은 데이터라인으로부터의 데이터신호의 전압레벨에 따라 투과광량을 조절하는 액정셀을 포함한다. TFT는 게이트라인과 데이터라인들의 교차부에 설치되어 게이트라인으로부터의 스캔신호(게이트펄스)에 응답하여 액정셀쪽으로 전송될 데이터신호를 절환하게 된다.
- <26> 이와 같은 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직방향 전계가 인가되는 트위스티드 네마틱(Twisted Nematic : 이하 'TN'라 함) 모드와

수평전계가 인가되어 시야각이 넓게 되는 인 플레인 스위치(In Plane Switch : 이하 'IPS'라 함) 모드로 대별될 수 있다.

- <27> 도 1은 종래의 TN 모드 액정표시장치의 TFT기판에 대한 전극배치도이다.
- <28> 도 2는 도 1에 도시된 TFT기판을 A-A'선을 따라 절취한 단면도이다.
- <29> 도 1 및 도 2를 참조하면, 게이트라인(15)과 데이터라인(13)의 교차부에 형성된 TFT와, 게이트라인(15)과 데이터라인(13)의 교차구조로 마련된 화소영역에 형성된 화소전극(26)을 구비한다.
- <30> TFT는 기판(10) 상에 형성된 게이트전극(12), 게이트절연막(14), 활성층(18), 소스 및 드레인전극(20,22)이 순차적으로 적층되어 구성된다. 게이트전극(12)은 게이트라인(15)과 연결되며, 소스전극(20)은 데이터라인(13)과 연결된다.
- <31> 이러한, TFT는 게이트전극(12)에 인가되는 스캔펄스 공급기간동안 데이터라인(13)상의 데이터신호를 화소전극(26)에 공급하여 액정셀을 구동하게 된다. 드레인전극(22)은 보호층(24)에 형성된 콘택홀(30)을 통해 화소전극과 접촉된다. 화소전극(26)은 투명전도성물질인 인듐-주석-옥사이드(Indium-Tin-Oxide ; 이하 'ITO'라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide ; 이하 'IZO'라 함), 인듐-주석-아연-옥사이드(Indium-Tin-Zinc-Oxide ; 이하 'ITZO'라 함)들 중 하나로 이루어진다. 게이트절연막(14)은 무기절연물질로 형성되고, 보호층(24)은 유기절연물질로 형성된다.
- <32> 도 3a 내지 도 3g는 도 2에 도시된 TFT의 제조방법을 단계적으로 도시한 도면이다.

- <33> 도 3a를 참조하면, 게이트전극(12)이 형성된다. 게이트전극(12)은 투명기판(10) 상에 스퍼터링(sputtering) 등의 방법으로 금속박막을 형성한 후, 습식방법을 포함하는 포토리소그래피방법으로 패터닝함으로써 게이트라인(15)과 함께 형성된다. 게이트전극(12)의 재료로는 알루미늄(Al), 구리(Cu) 또는 크롬(Cr) 등의 금속물질이 사용되며, 식각액으로는 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액 등이 사용된다.
- <34> 도 3b를 참조하면, 게이트전극(12)이 형성된 투명기판(10) 상에 게이트절연막(14), 활성층(16) 및 오믹접촉층(18)이 적층된다.
- <35> 게이트절연막(14)은 질화실리콘 또는 산화실리콘의 절연물질을 투명기판(10) 상에 전면 증착함으로써 형성된다. 게이트절연막(14) 상에 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n+ a-Si)은 화학기상증착방법(Chemical Vapor Deposition ; 이하 'CVD'라 함)을 이용하여 순차적으로 적층한다. 이러한 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n+ a-Si) 층을 건식식각을 포함한 포토리소그래피법을 이용하여 패터닝하여 활성층(16) 및 오믹접촉층(18)을 형성한다.
- <36> 도 3c를 참조하면, 오믹접촉층(18) 상에 소스 및 드레인 전극(20,22)이 형성된다.
- <37> 소스 및 드레인 전극(20,22)은 게이트절연막(14) 상에 스퍼터링 방법을 통해 오믹접촉층(18)을 덮도록 금속층을 형성한 후 습식식각방법을 포함한 포토리소그래피방법으로 패터닝하여 데이터라인(13)과 함께 형성된다. 이 소스 및 드레인전극(20,22)으로는 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금

(Mo alloy)을 사용하고, 식각액으로 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액을 사용한다. 그 다음, e도 3d와 같이 소스 및 드레인전극(20,22)을 마스크로 이용하여 노출된 오믹접촉층을 건식식각함으로써 소스 및 드레인전극(20,22) 사이를 통해 활성층(16)이 노출되게 한다.

<38> 도 3e를 참조하면, 보호층(24)이 게이트절연막(14) 상에 소스 및 드레인전극(20,22)을 덮도록 형성된다.

<39> 보호층(24)은 절연물질을 전면 증착한 후 패터닝함으로써 형성된다. 이 경우, 드레인전극(22) 위의 보호층에는 콘택홀(30)이 형성된다. 보호층(24)은 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x) 등의 무기절연물질 또는 아크릴계(Acryl) 유기화합물, 테프론(Teflon), BCB (Benzocyclobutene), 사이토프(Cytop) 또는 PFCB(Perfluorocyclobutane) 등의 유전상수가 작은 유기절연물로 형성된다.

<40> 도 3g를 참고하면, 보호층(24) 상에 드레인전극(22)과 접촉되는 화소전극(26)이 형성된다.

<41> 화소전극(26)은 투명전도성물질을 보호층(24) 상에 증착한 후 패터닝함으로써 형성된다. 화소전극(26)으로는 ITO, IZO, ITZO 등이 사용된다. 화소전극(26)은 드레인전극(22)과 콘택홀(30)을 통해 전기적으로 접촉한다.

<42> 도 3f를 참조하면, 화소전극(26)이 형성된 기판상에 배향막(28)을 형성된다

- <43> 배향막을 형성하기 전에, 보호층(24)과 화소전극(26)이 형성된 기판을 단련하기 위해 열처리를 하는 어닐링(Annealing) 작업과 TFT의 온/오프(On/Off)의 정상여부를 확인하기 위해 전기적 신호를 인가하는 검사작업을 수행한다.
- <44> 검사작업을 통해 정상동작이 확인되면 롤러에 의해 폴리이미드(Polyimide : 이하 'PI'라 함)를 프린트함으로써 1000Å 이하의 초기 배향막(28)을 형성하고 상기 배향막(28) 상을 러빙(Rubbing)함으로써 정상의 배향막(28)을 형성하게 된다.
- <45> 도 4은 종래의 IPS 모드 액정표시장치의 TFT기판에 대한 전극배치도이다.
- <46> 도 5는 도 4에 도시된 TFT기판을 B-B'선을 따라 절취한 단면도이다.
- <47> 도 4 및 도 5를 참조하면, IPS 모드 액정표시장치는 데이터라인(33)과 게이트라인(35)의 교차부에 TFT가 형성되며, 데이터라인(33)과 게이트라인(35) 사이의 화소영역에 화소전극(46)과 공통전극(44)이 형성된다.
- <48> TFT는 투명기판(31) 상에 형성되며 게이트라인(35)에 접속된 게이트전극(32), 데이터라인(33)에 접속된 소스전극(40) 및 화소전극(46)에 접속된 드레인전극(42)을 포함한다.
- <49> 투명기판(31)에는 알루미늄(Al), 구리(Cu) 또는 크롬(Cr) 등의 금속을 증착하고 패터닝하여 게이트전극(32), 게이트라인(35) 및 공통전극(44)이 형성된다. 여기서, 공통전극(44)은 화소셀 영역 내에서 세 열의 스트라이프 형태로 패터닝된다.
- <50> 게이트전극(32) 및 공통전극(44)이 형성된 배면기판(31) 상에는 질화실리콘(SiNx) 등의 무기 유전체로 된 게이트절연막(34)이 전면 증착된다.

이 게이트절연막(34) 위에는 a-Si으로 된 활성층(36)과 a-Si에 n+ 이온이 도핑된 오믹접촉층(38)이 순차적으로 형성된다. 오믹접촉층(38) 위에는 금속으로 된 소스 및 드레인전극(40,42)과 데이터라인(33)이 형성된다. 소스전극(40)과 드레인전극(42)은 미리 설정된 채널폭만큼 이격되게 패터닝된다. 그리고 ITO가 드레인전극(42)과 게이트절연막(34) 상에 증착된 후 패터닝됨으로써 화소전극(46)이 형성된다. 여기서, 화소전극(46)은 드레인전극(42)에 접속되며 화소셀 영역 내에서 공통전극(44)과 교번되도록 두 열의 스트라이프 형태로 패터닝된다. 이어서, 소스전극(40)과 드레인전극(42) 사이에 형성된 오믹접촉층(38)이 에칭되어 활성층(36)을 노출시키게 된다. 그리고 무기절연물질 또는 유전상수가 작은 유기절연물 등으로 된 보호층(48)이 투명기판(31) 상에 전면 증착되어 TFT를 덮게 된다.

<51> 이후 보호층(48)이 형성된 기판상에 배향막(50)을 형성한다.

<52> 배향막을 형성하기 전에, 보호층(48)이 형성된 기판(31) 상을 단련하기 위한 열처리를 하는 어닐링(Annealing) 작업과 TFT의 온/오프(On/Off)의 정상여부를 확인하기 위해 전기적 신호를 인가하는 검사작업을 수행한다.

<53> 검사작업을 통해 정상동작을 확인하면 롤러에 의해 폴리이미드(Polyimide : 이하 'PI'라 함)를 프린트함으로써 1000Å 이하의 초기 배향막(50)을 형성하고 상기 배향막(50) 상을 러빙(Rubbing)함으로써 정상의 배향막(50)을 형성하게 된다.

<54> 그러나, 종래의 TN 및 IPS 모드 액정표시장치를 제조함에 있어서 어닐링, 전기적 신호 인가, PI 프린트 및 러빙 작용 등 마스크 공정이 많아지고 이로 인한 공정시간이 길어지는 단점이 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<55> 따라서, 본 발명의 목적은 폴리이미드 수지를 도포함으로써 보호층과 배향막의 기능을 동시에 수행하도록 하여 공정을 단순하게 하는 액정표시장치 및 그 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<56> 상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 스캔신호가 공급되는 게이트라인과, 데이터신호가 공급되는 데이터라인과, 상기 게이트라인과 데이터라인이 교차되어 형성된 화소영역에 형성되어 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 절환하기 위한 박막트랜지스터와, 상기 게이트라인, 데이터라인 및 화소전극을 포함하는 신호배선들과 박막트랜지스터를 보호함과 아울러 액정의 초기 배향방향을 결정하기 위해 기판상에 전면 도포된 배향막을 구비한다.

<57> 본 발명에 따른 액정표시장치는 스캔신호가 공급되는 게이트라인과, 데이터신호가 공급되는 데이터라인과, 상기 게이트라인과 데이터라인이 교차되어 형성된 화소영역에 형성되어 액정셀을 구동하기 위한 화소전극 및 공통전극과, 상기

스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 절환하기 위한 박막 트랜지스터와, 상기 게이트라인, 데이터라인, 화소전극 및 공통전극을 포함하는 신호배선들과 박막트랜지스터를 보호함과 아울러 액정의 초기 배향방향을 결정하기 위해 기판상에 전면 도포된 배향막을 구비한다.

<58> 본 발명에 따른 액정표시장치의 제조방법은 기판 상에 게이트라인과 박막 트랜지스터의 게이트전극을 형성하는 단계와, 게이트절연층을 전면도포하는 단계와, 상기 박막트랜지스터의 반도체층을 형성하는 단계와, 데이터라인과 박막 트랜지스터의 소스 및 드레인전극을 형성하는 단계와, 상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와, 상기 게이트전극, 데이터라인 및 화소전극을 포함하는 신호배선들 및 상기 박막트랜지스터를 보호함과 아울러 액정의 초기 배향막을 결정하기 위한 배향막을 전면 형성하는 단계를 포함한다.

<59> 본 발명에 따른 다른 액정표시장치의 제조방법은 기판 상에 게이트라인, 박막트랜지스터의 게이트전극 및 공통전극을 형성하는 단계와, 게이트절연층을 전면도포하는 단계와, 상기 박막트랜지스터의 반도체층을 형성하는 단계와, 데이터라인과 박막트랜지스터의 소스 및 드레인전극을 형성하는 단계와, 상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와, 상기 게이트라인, 데이터라인, 화소전극 및 공통전극을 포함하는 신호배선들 및 상기 박막트랜지스터를 보호함과 아울러 액정의 초기 배향막을 결정하기 위한 배향막을 전면 형성하는 단계를 포함한다.

<60> 본 발명에 따른 또 다른 액정표시장치의 제조방법은 기판 상에 게이트라인과 박막트랜지스터의 게이트전극을 형성하는 단계와, 게이트절연층을 전면도포하

는 단계와, 상기 박막트랜지스터의 반도체층을 형성하는 단계와, 데이터라인과 소스 및 드레인전극을 형성하는 단계와, 상기 드레인전극과 접촉되게 화소전극과 공통전극을 형성하는 단계와, 상기 게이트라인, 데이터라인, 화소전극 및 공통전극을 포함하는 신호배선들 및 상기 박막트랜지스터를 보호함과 아울러 액정의 초기 배향막을 결정하기 위한 배향막을 전면 형성하는 단계를 포함한다.

<61> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<62> 이하, 도 6 내지 도 14를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<63> 도 6은 본 발명에 실시 예에 따른 TN 모드 액정표시장치의 TFT기판에 대한 전극배치도를 도시한 평면도이다.

<64> 도 7은 도 6에 도시된 TFT 기판을 C-C'선을 따라 절취한 단면도이다.

<65> 도 6 및 도 7을 참조하면, 게이트라인(65)과 데이터라인(63)의 교차부에 형성된 TFT와, 게이트라인(65)과 데이터라인(63)의 교차구조로 마련된 화소영역에 형성된 화소전극(76)을 구비한다.

<66> TFT는 기판(60) 상에 형성된 게이트전극(62), 게이트절연막(64), 활성층(66), 소스 및 드레인전극(70,72)이 순차적으로 적층되어 구성된다. 게이트전극(62)은 게이트라인(65)과 연결되며, 소스전극(70)은 데이터라인(63)과 연결된다.

<67> 이러한 TFT는 게이트전극(62)에 인가되는 스캔펄스 공급기간동안 데이터라인(63) 상의 데이터신호를 화소전극(76)에 공급하여 액정셀을 구동하게 된다.

화소전극(76)은 투명전도성물질인 IT0, IZO, ITZO 등이 사용된다.

게이트절연막(64)은 무기절연물질로 형성되고, 배향막(78)은 PI 수지로 형성된다.

<68> 도 8a 내지 도 8f는 도 7에 도시된 TFT의 제조방법을 단계적으로 도시한 도면이다.

<69> 도 8a를 참조하면, 게이트전극(62)이 형성된다. 게이트전극(62)은 투명기판(60) 상에 스퍼터링(sputtering) 등의 방법으로 금속박막을 형성한 후, 습식방법을 포함하는 포토리소그래피방법으로 패터닝함으로써 게이트라인(65)과 함께 형성된다. 게이트전극(62)의 재료로는 알루미늄(Al), 구리(Cu) 또는 크롬(Cr) 등의 금속물질이 사용되며, 식각액으로는 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액 등이 사용된다.

<70> 도 8b를 참조하면, 게이트전극(62)이 형성된 투명기판(60) 상에 게이트절연막(64), 활성층(66) 및 오믹접촉층(68)이 순차적으로 적층된다.

<71> 게이트절연막(64)은 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x)의 절연물질을 투명기판(60) 상에 전면 증착함으로써 형성된다. 게이트절연막(64) 상에 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n^+ a-Si) 층을 CVD방법을 이용하여 순차적으로 적층한다. 이러한 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n^+ a-Si)을 건식식각을 포함한 포토리소그래피법을 이용하여 패터닝하여 활성층(66) 및 오믹접촉층(68)을 형성한다.

<72> 도 8c를 참조하면, 오믹접촉층(68) 상에 소스 및 드레인전극(70,72)이 형성된다.

- <73> 소스 및 드레인전극(70,72)은 게이트절연막(64) 상에 스퍼터링 방법을 통해 오믹접촉층(68)을 덮도록 금속층을 형성한 후 습식식각방법을 포함한 포토리소 그래픽방법으로 패터닝하여 데이터라인(63)과 함께 형성된다. 이 소스 및 드레인전극(70,72)으로는 금속 또는 금속합금 중에서 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 사용하고, 식각액으로 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액을 사용한다.
- <74> 도 8d를 참조하면, 소스 및 드레인전극(70,72) 상에 투명한 전도성물질인 ITO, IZO, ITZO를 증착하여 TFT와 대응되는 부분을 제외한 부분에 화소전극(76)을 형성한다.
- <75> 도 8e를 참조하면, 소스 및 드레인전극(70,72)을 마스크로 이용하여 노출된 오믹접촉층(68)을 건식식각함으로써 소스 및 드레인전극(70,72) 사이를 통해 활성층(66)이 노출되게 한다.
- <76> 도 8f를 참조하면, 화소전극(76)이 형성된 기판상에 배향막(78)을 형성한다.
- <77> 배향막을 형성하기 전에, 화소전극(76)이 형성된 기판을 단련하기 위해 열처리를 하는 어닐링(Annealing) 작업과 TFT의 온/오프(On/Off)의 정상여부를 확인하기 위해 전기적 신호를 인가하는 검사작업을 수행한다.
- <78> 검사작업을 통해 정상동작을 확인하면 롤러에 의해 종래의 보호층(24)과 배향막(28)의 역할을 동시에 하는 폴리이미드(Polyimide : 이하 'PI'라 함) 수지를

프린트함으로써 초기 배향막(1000Å 이하 ; 78)을 도포하고 상기 배향막(78) 상을 러빙(Rubbing)함으로써 정상의 배향막(78)을 형성하게 된다.

<79> 도 9는 본 발명에 제2 실시 예에 따른 IPS 모드 액정표시장치의 TFT기판에 대한 전극배치도이다.

<80> 도 10은 도 9에 도시된 TFT기판을 D-D'선을 따라 절취한 단면도이다.

<81> 도 9 및 도 10를 참조하면, IPS 모드 액정표시장치는 데이터라인(83)과 게이트라인(85)의 교차부에 TFT가 형성되며, 데이터라인(83)과 게이트라인(85) 사이의 화소영역에 화소전극(96)과 공통전극(100)이 형성된다.

<82> TFT는 투명기판(80) 상에 형성되고 게이트라인(85)에 접속된 게이트전극(82), 데이터라인(83)에 접속된 소스전극(90) 및 화소전극(96)에 접속된 드레인전극(92)을 포함한다.

<83> 투명기판(80)에는 알루미늄(Al), 구리(Cu) 또는 크롬(Cr) 등의 금속을 증착하고 패터닝하여 게이트전극(82)이 형성된다. 게이트전극(82)이 형성된 투명기판(80) 상에는 질화실리콘(SiNx) 등의 무기 유전체로 된 게이트절연막(84)이 전면 증착된다. 이 게이트절연막(84) 위에는 a-Si으로 된 활성층(86)과 a-Si에 n+이온이 도핑된 오믹접촉층(88)이 순차적으로 형성된다. 오믹접촉층(88) 위에는 금속으로 된 소스 및 드레인전극(90,92)과 데이터라인(83)이 형성된다. 소스 및 드레인전극(90,92)은 미리 설정된 채널폭만큼 이격되게 패터닝된다. 그리고 ITO가 드레인전극(92)과 게이트절연막(84) 상에 증착된 후 패터닝됨으로써 화소전극(48)이 형성된다. 여기서, 공통전극(100)은 화소셀 영역 내에서 스트라이프 형태

로 패터닝된다. 이때, 화소전극(96)은 드레인전극(92)에 접속되며 화소셀 영역 내에서 공통전극(100)과 교번되도록 스트라이프 형태로 패터닝된다.

<84> 도 11a 내지 도 11f는 도 10에 도시된 TFT의 제조방법을 단계적으로 도시한 도면이다.

<85> 도 11a를 참조하면, 게이트전극(82)이 형성된다. 게이트전극(82)은 투명기판(80) 상에 스퍼터링(sputtering) 등의 방법으로 금속박막을 형성한 후, 습식방법을 포함하는 포토리소그래피방법으로 패터닝함으로써 게이트라인(85)과 함께 형성된다. 게이트전극(82)의 재료로는 알루미늄(Al), 구리(Cu) 또는 크롬(Cr) 등의 금속물질이 사용되며, 식각액으로는 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액 등이 사용된다.

<86> 도 11b를 참조하면, 게이트전극(82)이 형성된 투명기판(80) 상에 게이트절연막(84), 활성층(86) 및 오믹접촉층(88)이 순차적으로 적층된다.

<87> 게이트절연막(84)은 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x)의 절연물질을 투명기판(80) 상에 전면 증착함으로써 형성된다. 게이트절연막(84) 상에 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n^+ a-Si)을 CVD방법을 이용하여 순차적으로 적층한다. 이러한 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n^+ a-Si) 층을 건식식각을 포함한 포토리소그래피법을 이용하여 패터닝하여 활성층(86) 및 오믹접촉층(88)을 형성한다.

<88> 도 11c를 참조하면, 오믹접촉층(88) 상에 소스 및 드레인전극(90,92)이 형성된다.

- <89> 소스 및 드레인전극(90,92)은 게이트절연막(84) 상에 스퍼터링방법을 통해 오믹접촉층(88)을 덮도록 금속층을 형성한 후 습식식각방법을 포함한 포토리소그래피방법으로 패터닝하여 데이터라인(83)과 함께 형성된다. 이 소스 및 드레인전극(90,92)으로는 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 사용하고, 식각액으로 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액을 사용한다.
- <90> 도 11d를 참조하면, 소스 및 드레인전극(90,92) 상에 화소전극(96)과 공통전극(100)을 형성한다.
- <91> 화소전극(96)과 공통전극(100)은 투명한 전도성물질인 ITO, IZO, ITZO 등이 사용된다. 이 때 TFT와 대응되는 부분을 제외한 부분에는 화소전극(96)을 형성하고, 화소전극과 일정간격으로 교번되도록 공통전극(100)을 형성한다.
- <92> 도 11e를 참조하면, 소스 및 드레인전극(90,92)을 마스크로 이용하여 노출된 오믹접촉층(88)을 건식식각함으로써 소스 및 드레인전극(90,92) 사이를 통해 활성층(86)이 노출되게 한다.
- <93> 도 11f를 참조하면, 소스 및 드레인전극(90,92), 화소전극(96) 및 공통전극(100)이 형성된 기판 전면에 도포되도록 배향막(98)을 형성한다.
- <94> 배향막을 형성하기 전에, 화소전극(76)이 형성된 기판 상을 단련하기 위해 열처리를 하는 어닐링(Annealing) 작업과 TFT의 온/오프(On/Off)의 정상여부를 확인하기 위해 전기적 신호를 인가하는 검사작업을 수행한다.
- <95> 검사작업을 통해 정상동작을 확인하면 롤러에 의해 종래의 보호층(48)과 배향막(50)의 역할을 동시에 하는 PI 수지를 프린트함으로써 초기 배향막(1000Å

이하 ; 98))을 도포하고 상기 배향막(98) 상을 러빙(Rubbing)함으로써 정상의 배향막(98)을 형성하게 된다.

<96> 도 12는 본 발명에 제3 실시 예에 따른 IPS 모드 액정표시장치의 TFT기판에 대한 전극배치도이다.

<97> 도 13은 도 12에 도시된 TFT기판을 B-B'선을 따라 절취한 단면도이다.

<98> 도 12 및 도 13을 참조하면, IPS 모드 액정표시장치는 데이터라인(113)과 게이트라인(115)의 교차부에 TFT가 형성되며, 데이터라인(113)과 게이트라인(115) 사이의 화소영역에 화소전극(126)과 공통전극(124)이 형성된다.

<99> TFT는 투명기판(110) 상에 형성되며 게이트라인(115)에 접속된 게이트전극(112), 데이터라인(113)에 접속된 소스전극(120) 및 화소전극(126)에 접속된 드레인전극(122)을 포함한다.

<100> 투명기판(110)에는 알루미늄(Al), 구리(Cu) 또는 크롬(Cr) 등의 금속을 증착하고 패터닝하여 게이트전극(112) 및 게이트라인(115)과 공통전극(124)이 형성된다. 여기서, 공통전극(124)은 화소셀 영역 내에서 세 열의 스트라이프 형태로 패터닝된다.

<101> 게이트전극(112) 및 공통전극(124)이 형성된 투명기판(110) 상에는 질화실리콘(SiNx) 등의 무기 유전체로 된 게이트절연막(114)이 전면 증착된다. 이 게이트절연막(114) 위에는 a-Si으로 된 활성층(116)과 a-Si에 n⁺ 이온이 도핑된 오믹접촉층(118)이 순차적으로 형성된다. 오믹접촉층(118) 위에는 금속으로 된 소스전극(120)과 드레인전극(122)과 데이터라인(113)이 형성된다. 소스전극(120)

과 드레인전극(122)은 미리 설정된 채널폭만큼 이격되게 패터닝된다. 그리고 ITO가 드레인전극(122)과 게이트절연막(114) 상에 증착된 후 패터닝됨으로써 화소전극(126)이 형성된다. 여기서, 화소전극(126)은 드레인전극(122)에 접속되며 화소셀 영역 내에서 공통전극(124)과 교번되도록 두 열의 스트라이프 형태로 패터닝된다. 이어서, 소스전극(120)과 드레인전극(122) 사이에 형성된 오믹접촉층(118)이 에칭되어 활성층(116)을 노출시키게 된다.

<102> 또한 소스 및 드레인전극(120,122), 화소전극(126)이 형성된 기판 상에 배향막(128)을 형성한다.

<103> 도 14a 내지 도 14f는 도 13에 도시된 TFT의 제조방법을 단계적으로 도시한 도면이다.

<104> 도 14a를 참조하면, 게이트전극(112)과 공통전극(124)이 형성된다.

<105> 게이트전극(112)과 공통전극(124)은 투명기판(110) 상에 스퍼터링(sputtering) 등의 방법으로 금속박막을 형성한 후, 습식방법을 포함하는 포토리소그래피방법으로 패터닝함으로써 게이트라인(115)과 함께 형성된다. 게이트전극(112) 및 공통전극(124)의 재료로는 알루미늄(Al), 구리(Cu) 또는 크롬(Cr) 등의 금속물질이 사용되며, 식각액으로는 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액 등이 사용된다. 공통전극(124)는 개구율을 높이기 위해 ITO막을 사용하기도 한다.

<106> 도 14b를 참조하면, 게이트전극(112) 및 공통전극(124)이 형성된 투명기판(110) 상에 게이트절연막(114), 활성층(116) 및 오믹접촉층(118)이 순차적으로 적층된다.

<107> 게이트절연막(114)은 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x)의 절연물질을 투명기판(110) 상에 전면 증착함으로써 형성된다. 게이트절연막(114) 상에 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n^+ a-Si)을 CVD방법을 이용하여 순차적으로 적층한다. 이러한 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘(n^+ a-Si) 층을 건식식각을 포함한 포토리소그래피법을 이용하여 패터닝하여 활성층(116) 및 오믹접촉층(118)을 형성한다.

<108> 도 14c를 참조하면, 오믹접촉층(118) 상에 소스 및 드레인전극(120,122)이 형성된다.

<109> 소스 및 드레인전극(120,122)은 게이트절연막(114) 상에 스퍼터링 방법을 통해 오믹접촉층(118)을 덮도록 금속층을 형성한 후 습식식각방법을 포함한 포토리소그래피방법으로 패터닝하여 데이터라인(113)과 함께 형성된다. 이 소스 및 드레인전극(120,122)으로는 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 사용하고, 식각액으로 $(\text{NH}_4)_2\text{S}_2\text{O}_8$ 수용액을 사용한다.

<110> 도 14d를 참조하면, 소스 및 드레인전극(120,122) 상에 투명한 전도성물질인 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 'ITO'라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide : 이하 'IZO'라 함) 또는 인듐-틴-아연 옥사이드(Indium-Tin-Zinc-Oxide : 이하 'ITZO'라 함)을 증착하여 TFT와 대응되는 부분을 제외한 부분에 화소전극(126)을 전면 형성한다.

- <111> 도 14e를 참조하면, 소스 및 드레인전극(120,122)을 마스크로 이용하여 노출된 오믹접촉층(88)을 건식식각함으로써 소스 및 드레인전극(120,122) 사이를 통해 활성층(86)이 노출되게 한다.
- <112> 도 14f를 참조하면, 화소전극(126)이 형성된 기판 전면에 도포되도록 배향막(128)을 형성한다.
- <113> 배향막(128)을 형성하기 전에, 화소전극(96)이 형성된 기판을 단련하기 위해 열처리를 하는 어닐링(Annealing) 작업과 TFT의 온/오프(On/Off)의 정상여부를 확인하기 위해 전기적 신호를 인가하는 검사작업을 수행한다.
- <114> 검사작업을 통해 정상동작을 확인하면 롤러에 의해 종래의 보호층(48)과 배향막(50)의 역할을 동시에 하는 폴리이미드(Polyimide : 이하 'PI'라 함)를 프린트함으로써 1000Å 이하의 초기 배향막(128)을 도포하고 상기 배향막(128) 상을 러빙(Rubbing)함으로써 정상의 배향막(128)을 형성하게 된다.
- <115> 이로써 종래의 5 마스크 액정표시장치 구조에서 보호층을 형성하는 공정을 스킵하고 PI 수지로 형성되는 배향막으로써 보호층과 배향막의 기능을 지님으로써 공정을 단순화하고 공정시간도 단축할 수 있게 된다.

【발명의 효과】

- <116> 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 액정표시장치의 제조과정중 기판에서부터 배향막까지 형성하는 단계에서 소스 및 드레인 전극 상에 화소전극을 패터닝하고 바로 폴리이미드 수지를 전면 증착함으로써

보호층 및 배향막의 기능을 동시에 수행하게 된다. 이로써 액정표시장치의 제조공정에 있어서 마스크 수를 절감하게 되고 공정 시간 및 비용을 절감할 수 있게 된다.

<117> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

액정셀들이 매트릭스 형태로 배열된 액정표시장치에 있어서,
스캔신호가 공급되는 게이트라인과,
데이터신호가 공급되는 데이터라인과,
상기 게이트라인과 데이터라인이 교차되어 형성된 화소영역에 형성되어 액정셀을 구동하기 위한 화소전극과,
상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터와,
상기 게이트라인, 데이터라인 및 화소전극을 포함하는 신호배선들과 박막트랜지스터를 보호함과 아울러 액정의 초기 배향방향을 결정하기 위해 기판상에 전면 도포된 배향막을 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 2】

제 1 항에 있어서,
상기 배향막은 폴리이미드 수지로 하는 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 2 항에 있어서,
상기 폴리이미드 수지는 유전율이 3, 두께가 500~700Å인 것을 특징으로 하는 액정표시장치.

【청구항 4】

액정셀들이 매트릭스 형태로 배열된 액정표시장치에 있어서,
스캔신호가 공급되는 게이트라인과,
데이터신호가 공급되는 데이터라인과,
상기 게이트라인과 데이터라인이 교차되어 형성된 화소영역에 형성되어 액정셀을 구동하기 위한 화소전극 및 공통전극과,
상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터와,
상기 게이트라인, 데이터라인, 화소전극 및 공통전극을 포함하는 신호배선들과 박막트랜지스터를 보호함과 아울러 액정의 초기 배향방향을 결정하기 위해 기판상에 전면 도포된 배향막을 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 5】

제 4 항에 있어서,
상기 공통전극은 화소전극과 동일층에 중첩되지 않게 투명전도성물질로 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 6】

제 4 항에 있어서,
상기 공통전극은 상기 화소전극과 다른 층에 형성되는 것을 특징으로 하는 것을 특징으로 하는 액정표시장치.

【청구항 7】

제 4 항에 있어서,

상기 배향막은 폴리이미드 수지로 하는 것을 특징으로 하는 액정표시장치.

【청구항 8】

제 7 항에 있어서,

상기 폴리이미드 수지는 유전율이 3, 두께가 500~700Å인 것을 특징으로 하는 액정표시장치.

【청구항 9】

기판 상에 게이트라인과 박막트랜지스터의 게이트전극을 형성하는 단계와,

게이트절연층을 전면도포하는 단계와,

상기 박막트랜지스터의 반도체층을 형성하는 단계와,

데이터라인과 박막트랜지스터의 소스 및 드레인전극을 형성하는 단계와,

상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와,

상기 게이트전극, 데이터라인 및 화소전극을 포함하는 신호배선들 및 상기 박막트랜지스터를 보호함과 아울러 액정의 초기 배향막을 결정하기 위한 배향막을 전면 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 10】

제 11 항에 있어서,

상기 배향막을 형성하는 단계는 폴리이미드를 프린트하는 단계와,
상기 폴리이미드를 소성과 함께 어닐링을 동시에 하는 단계와,
상기 배향막을 러빙하는 단계를 포함하는 것을 특징으로 하는 액정표시장치
의 제조방법.

【청구항 11】

제 10 항에 있어서,
상기 박막트랜지스터의 정상동작을 확인하기 위해 전기적 신호를 인가하는
단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 12】

기판 상에 게이트라인, 박막트랜지스터의 게이트전극 및 공통전극을 형성하
는 단계와,

게이트절연층을 전면도포하는 단계와,

상기 박막트랜지스터의 반도체층을 형성하는 단계와,

데이터라인과 박막트랜지스터의 소스 및 드레인전극을 형성하는 단계와,

상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와,

상기 게이트라인, 데이터라인, 화소전극 및 공통전극을 포함하는 신호배선
들 및 상기 박막트랜지스터를 보호함과 아울러 액정의 초기 배향막을 결정하기
위한 배향막을 전면 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치
의 제조방법.

【청구항 13】

제 12 항에 있어서,
상기 배향막을 형성하는 단계는 폴리이미드를 프린트하는 단계와,
상기 폴리이미드를 소성과 함께 어닐링을 동시에 하는 단계와,
상기 기판 상을 러빙하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 14】

제 13 항에 있어서,
상기 박막트랜지스터의 정상동작을 확인하기 위해 전기적 신호를 인가하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 15】

기판 상에 게이트라인과 박막트랜지스터의 게이트전극을 형성하는 단계와,
게이트절연층을 전면도포하는 단계와,
상기 박막트랜지스터의 반도체층을 형성하는 단계와,
데이터라인과 소스 및 드레인전극을 형성하는 단계와,
상기 드레인전극과 접촉되게 화소전극과 공통전극을 형성하는 단계와,
상기 게이트라인, 데이터라인, 화소전극 및 공통전극을 포함하는 신호배선들 및 상기 박막트랜지스터를 보호함과 아울러 액정의 초기 배향막을 결정하기 위한 배향막을 전면 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 16】

제 15 항에 있어서,

상기 화소전극과 공통전극을 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 17】

제 15 항에 있어서,

상기 배향막을 형성하는 단계는 폴리이미드를 프린트하는 단계와,

상기 폴리이미드를 소성과 함께 어닐링을 동시에 하는 단계와,

상기 기판 상을 러빙하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

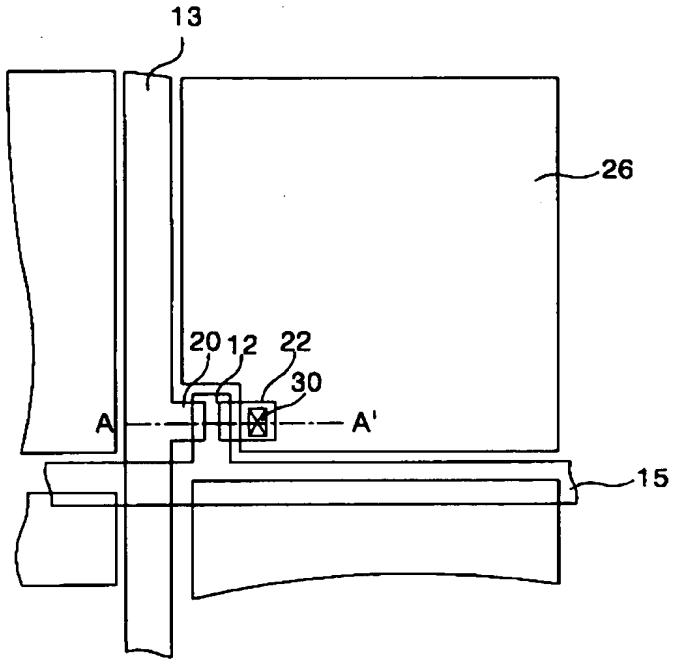
【청구항 18】

제 17 항에 있어서,

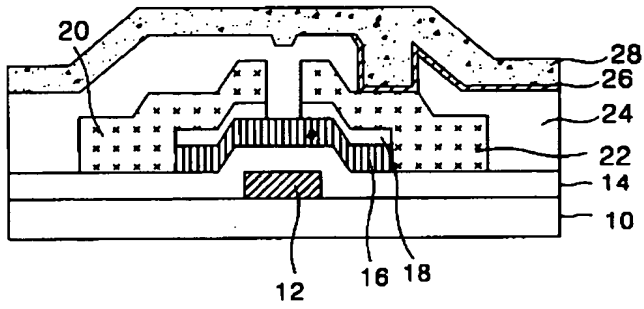
상기 박막트랜지스터의 정상동작을 확인하기 위해 전기적 신호를 인가하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【도면】

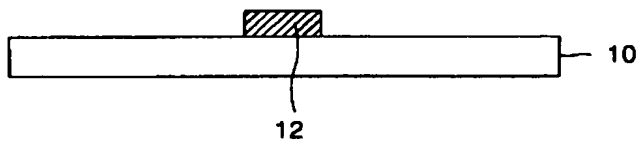
【도 1】



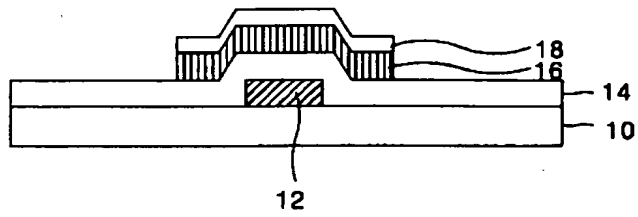
【도 2】



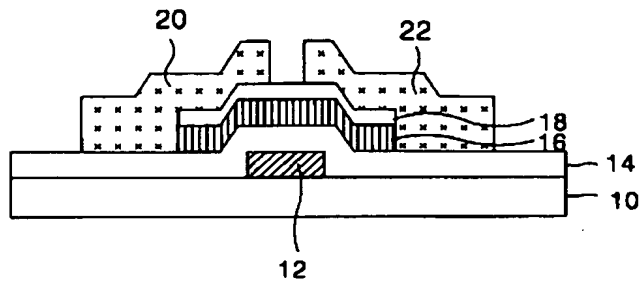
【도 3a】



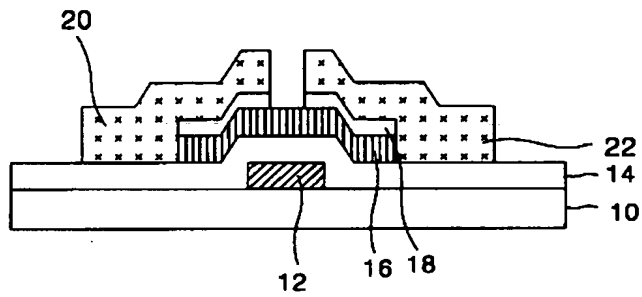
【도 3b】



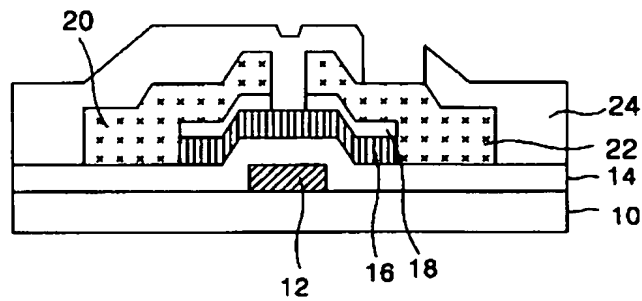
【도 3c】



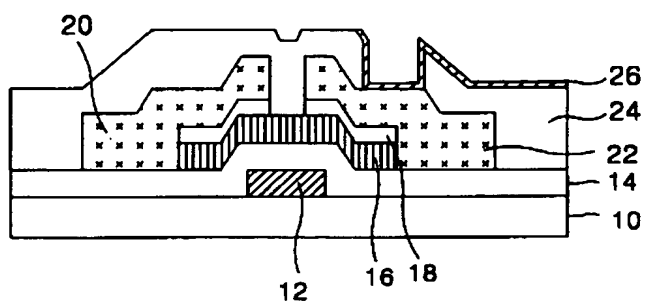
【도 3d】



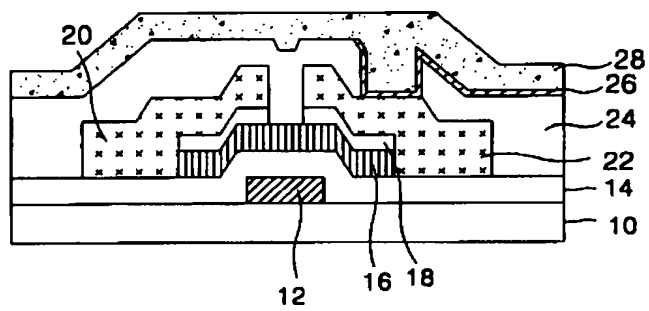
【도 3e】



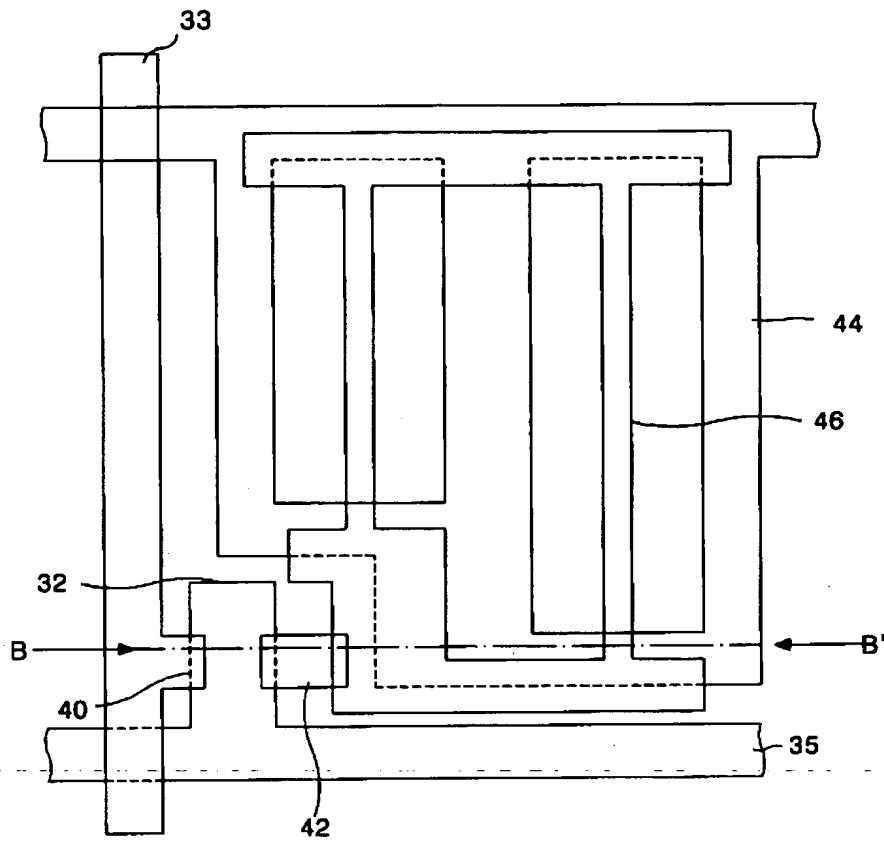
【도 3f】



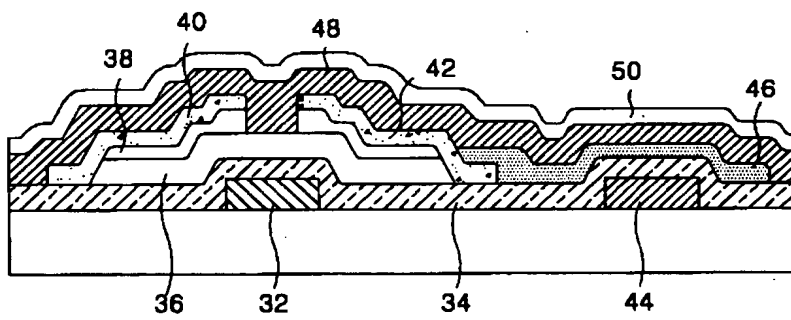
【도 3g】



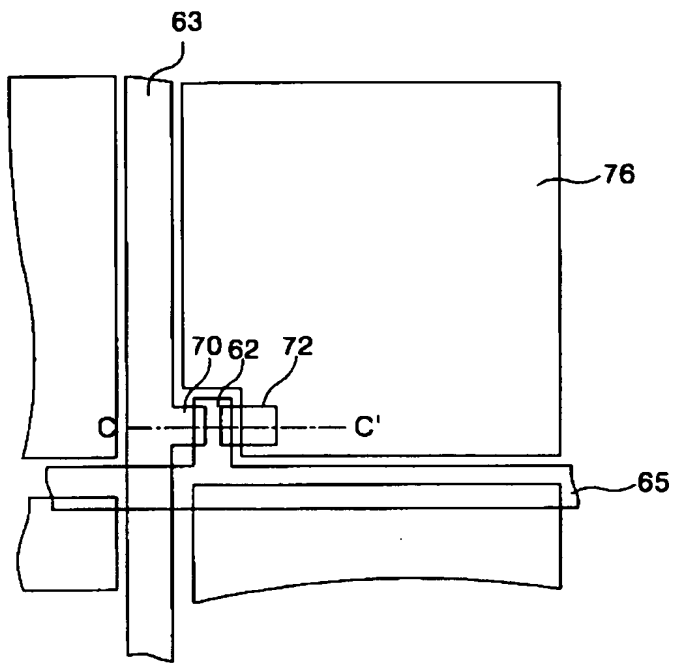
【도 4】



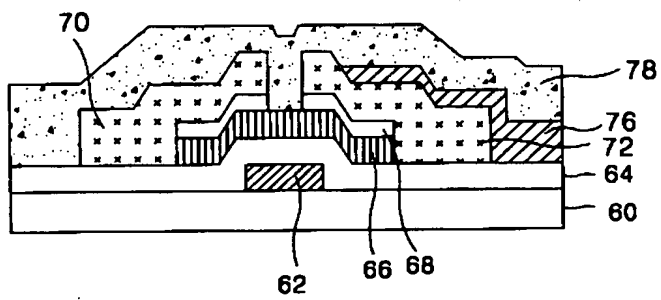
【도 5】



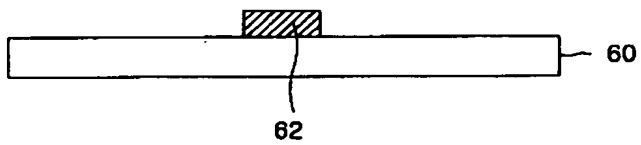
【도 6】



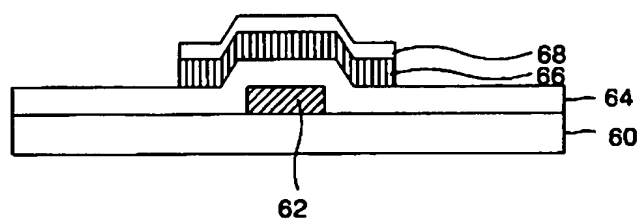
【도 7】



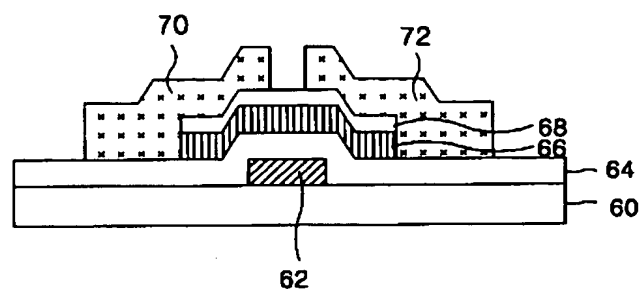
【도 8a】



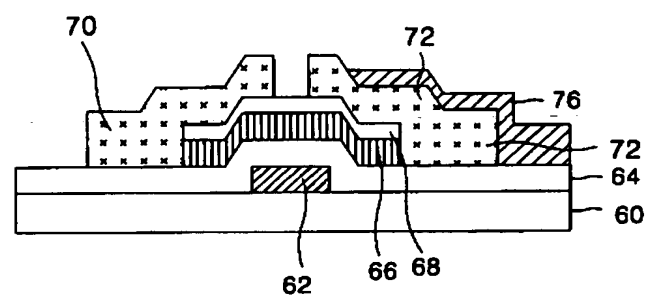
【도 8b】



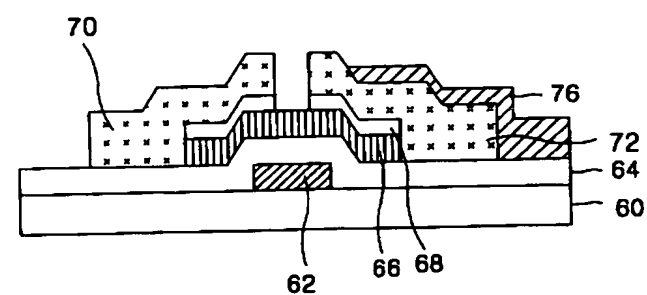
【도 8c】



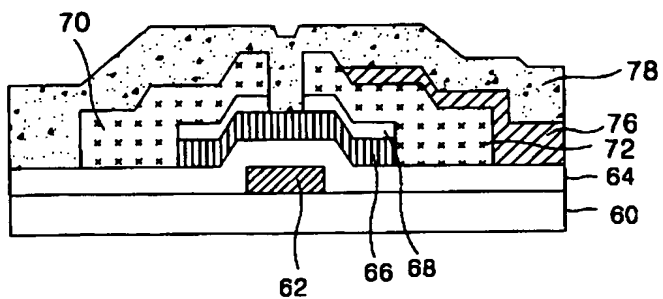
【도 8d】



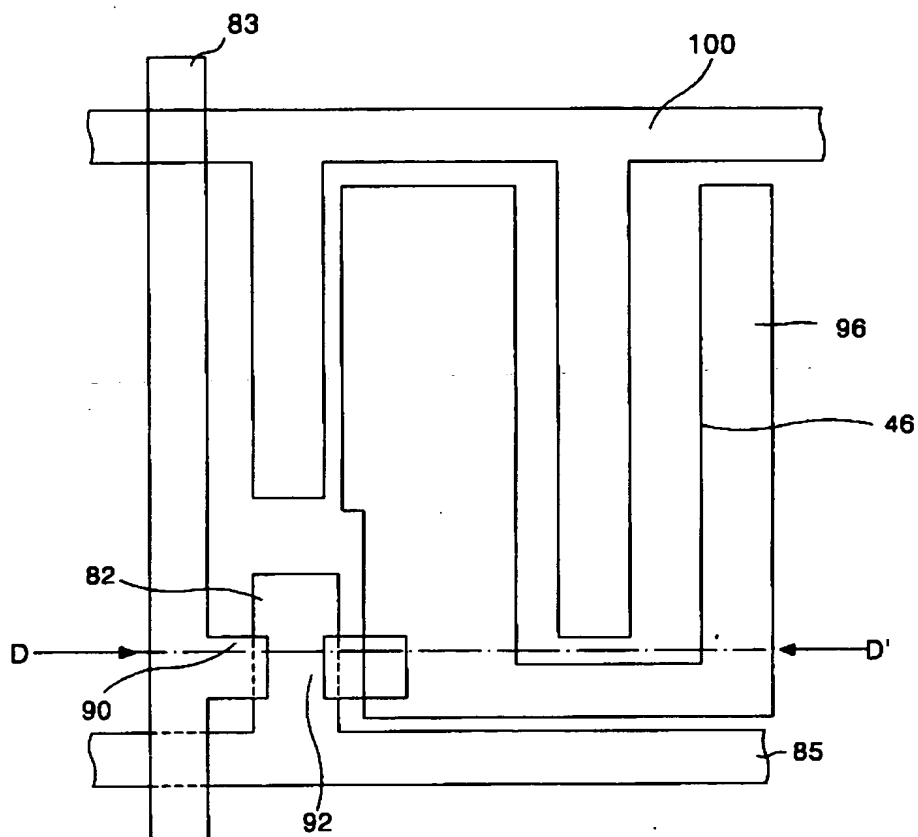
【도 8e】



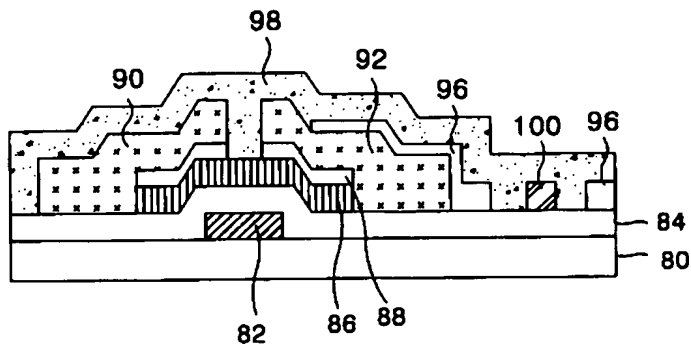
【도 8f】



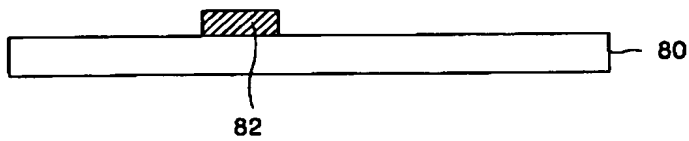
【도 9】



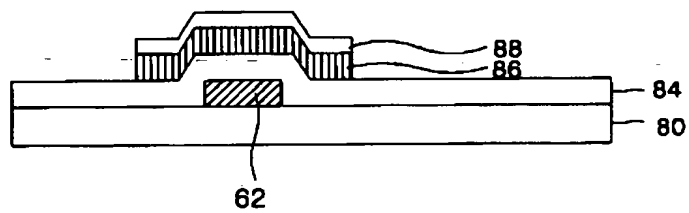
【도 10】



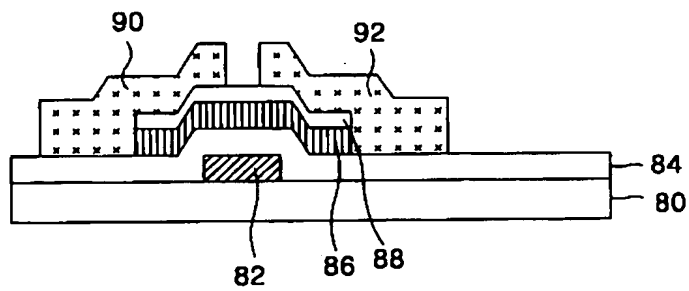
【도 11a】



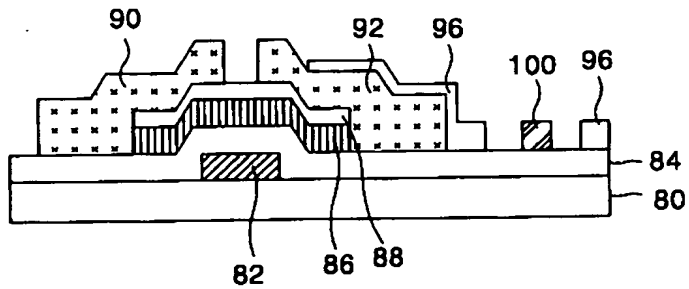
【도 11b】



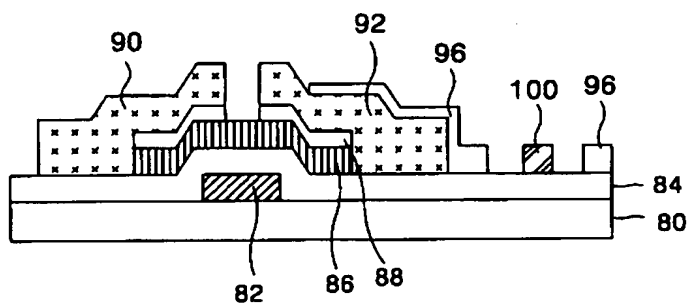
【도 11c】



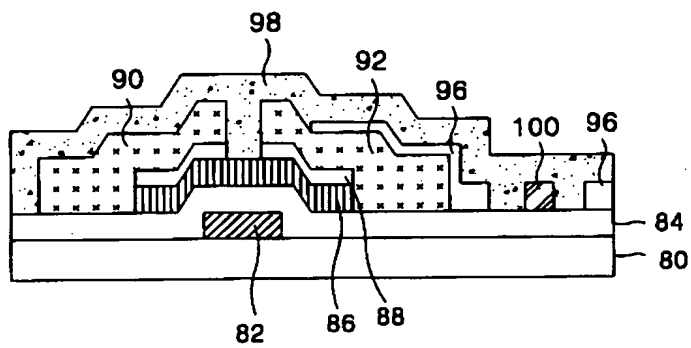
【도 11d】



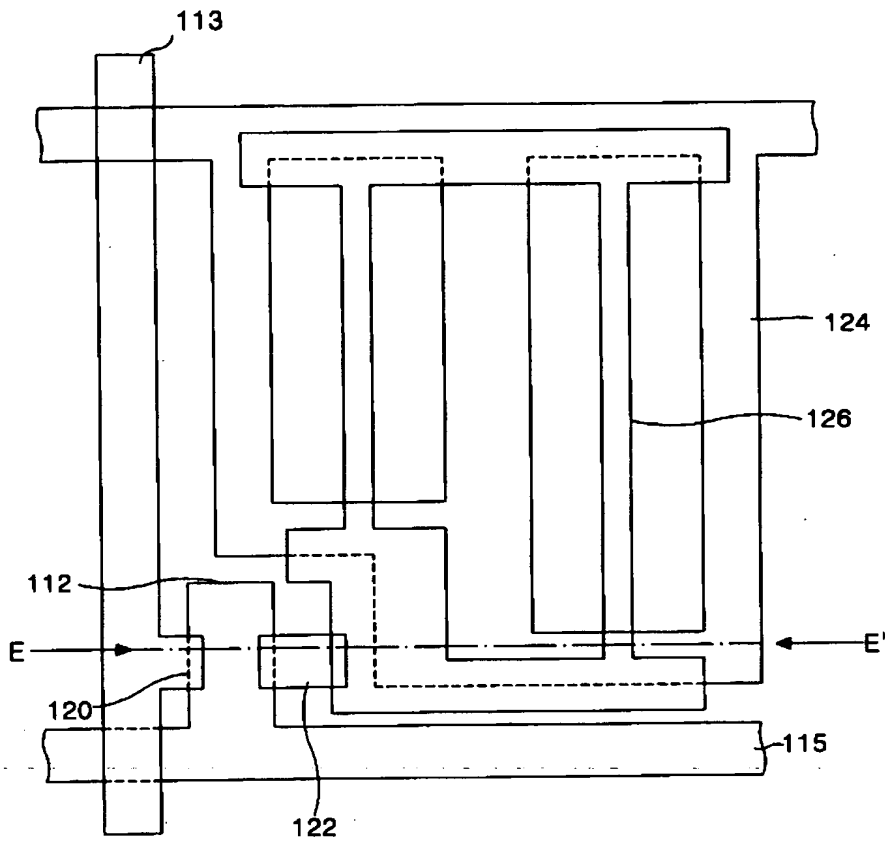
【도 11e】



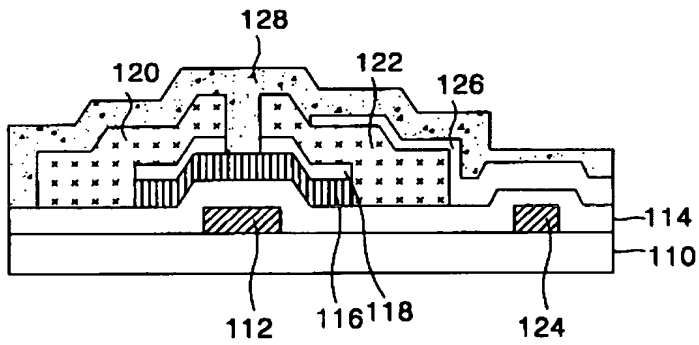
【도 11f】



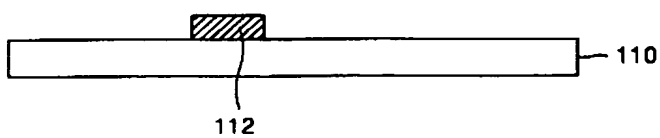
【도 12】



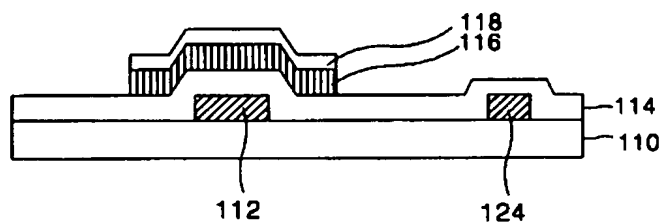
【도 13】



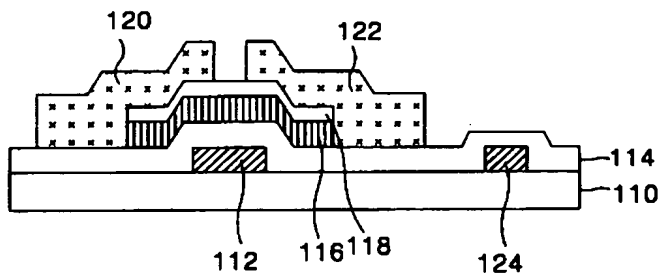
【도 14a】



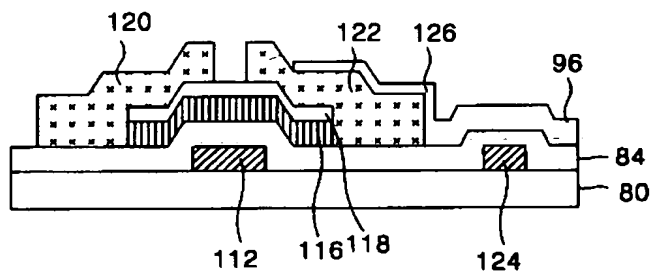
【도 14b】



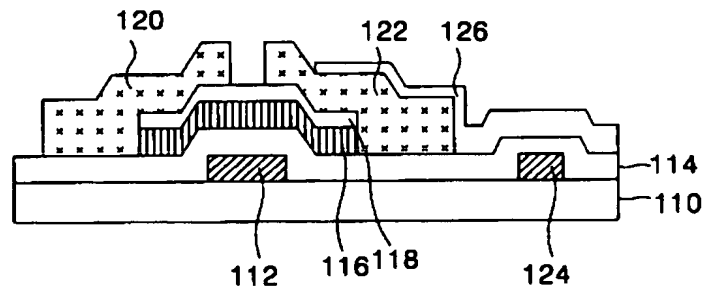
【도 14c】



【도 14d】



【도 14e】



【도 14f】

